



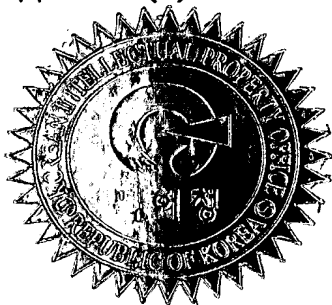
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0006941
Application Number

출원년월일 : 2003년 02월 04일
Date of Application FEB 04, 2003

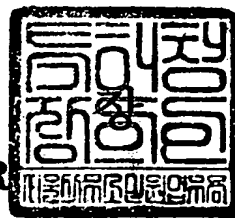
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.04
【발명의 명칭】	리드 전용 메모리 장치
【발명의 영문명칭】	Read Only Memory Device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	도영숙
【성명의 영문표기】	DO, YOUNG SOOK
【주민등록번호】	760119-2017724
【우편번호】	136-073
【주소】	서울특별시 성북구 성북동 안암동3가 54 대광빌라 1-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	11 면 11,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	15 항 589,000 원
【합계】	629,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 리드 전용 메모리 장치를 공개한다. 이 장치는 복수개의 워드 라인들, 제1복수개의 비트 라인들, 및 제1복수개의 가상 접지 라인들 사이에 프로그램된 제1복수개의 리드 전용 메모리 셀들과, 기준 워드 라인, 제2복수개의 비트 라인들, 및 제2복수개의 가상 접지 라인들 사이에 프로그램된 제2복수개의 리드 전용 메모리 셀들을 구비한 리드 전용 메모리 셀 어레이, 복수개의 기준 메모리 워드 라인들, 적어도 하나의 기준 비트 라인, 및 적어도 하나의 기준 가상 접지 라인사이에 프로그램된 제1복수개의 기준 메모리 셀들과, 기준 워드 라인, 적어도 하나의 기준 비트 라인, 및 적어도 하나의 기준 가상 접지 라인사이에 데이터 "0"으로 프로그램된 적어도 하나의 제2기준 메모리 셀을 구비한 기준 메모리 셀 어레이, 및 복수개의 더미 메모리 워드 라인들, 적어도 하나의 더미 비트 라인, 및 적어도 하나의 더미 가상 접지 라인사이에 프로그램된 제1복수개의 더미 메모리 셀들과, 기준 워드 라인, 적어도 하나의 더미 비트 라인, 및 적어도 하나의 더미 가상 접지 라인사이에 데이터 "0"으로 프로그램된 적어도 하나의 제2더미 메모리 셀을 구비한 더미 메모리 셀 어레이를 구비하여 구성되어 있다. 따라서, 공정 산포에 무관하게 일정한 기준 전압을 발생할 수 있고, 센스 증폭기 인에이블 신호의 발생 시점을 일정하게 할 수 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

리드 전용 메모리 장치{Read Only Memory Device}

【도면의 간단한 설명】

도1은 종래의 리드 전용 메모리 장치의 구성을 나타내는 블록도이다.

도2는 종래의 리드 전용 메모리 장치의 이상적인 기준 전압의 레벨 및 센스 증폭기 인에이블 신호의 발생시점을 나타내는 것이다.

도3은 본 발명의 리드 전용 메모리 장치의 제1실시예의 구성을 나타내는 블록도이다.

도4는 본 발명의 리드 전용 메모리 장치의 제2실시예의 구성을 나타내는 블록도이다.

도5는 본 발명의 리드 전용 메모리 장치의 제3실시예의 구성을 나타내는 블록도이다.

도6은 본 발명의 리드 전용 메모리 장치의 제4실시예의 구성을 나타내는 블록도이다.

도7은 본 발명의 리드 전용 메모리 장치의 기준 워드 라인 구동회로의 실시예의 구성을 나타내는 블록도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 메모리 장치에 관한 것으로, 특히 리드 동작만 가능한 리드 전용 메모리 장치에 관한 것이다.

<9> 종래의 리드 전용 메모리 장치의 메모리 셀 어레이는 프로그램을 위한 리드 전용 메모리 셀 어레이, 기준 전압 발생을 위한 기준 메모리 셀 어레이, 및 센스 증폭기 인에이블 신호 발생을 위한 더미 메모리 셀 어레이로 구성되어 있다.

<10> 일반적으로, 기준 메모리 셀 어레이로부터 발생하는 기준 전압의 레벨은 리드 전용 메모리 셀 어레이의 비트 라인으로 인가되는 "하이"레벨의 신호와 "로우"레벨의 신호의 중간 레벨로 설정된다. 그리고, 더미 메모리 셀 어레이로부터 발생하는 신호는 센스 증폭기를 인에이블하기 위한 센스 인에이블 신호를 발생한다.

<11> 그런데, 종래의 리드 전용 메모리 장치는 워드 라인들 각각에 연결된 기준 메모리 셀 어레이, 및 더미 메모리 셀 어레이의 NMOS트랜지스터들이 공정 산포에 따라 다른 특성을 가지기 때문에 기준 메모리 셀 어레이에 의해서 발생하는 기준 전압의 레벨, 및 더미 메모리 셀 어레이에 의해서 발생하는 센스 증폭기 인에이블 신호의 발생시점이 달라지게 된다. 이에 따라, 데이터 리드 오류가 발생하는 확률이 많아지는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명의 목적은 공정 산포에 무관하게 일정한 기준 전압 및 센스 증폭기 인에이블 신호를 발생할 수 있는 리드 전용 메모리 장치를 제공하는데 있다.

<13> . 상기 목적을 달성하기 위한 본 발명의 리드 전용 메모리 장치는 복수개의 워드 라인들, 제1복수개의 비트 라인들, 및 제1복수개의 가상 접지 라인들 사이에 프로그램된 제1복수개의 리드 전용 메모리 셀들과, 기준 워드 라인, 제2복수개의 비트 라인들, 및 제2복수개의 가상 접지 라인들 사이에 프로그램된 제2복수개의 리드 전용 메모리 셀들을 구비한 리드 전용 메모리 셀 어레이, 복수개의 기준 메모리 워드 라인들, 적어도 하나의 기준 비트 라인, 및 적어도 하나의 기준 가상 접지 라인사이에 프로그램된 제1복수개의 기준 메모리 셀들과, 상기 기준 워드 라인, 상기 적어도 하나의 기준 비트 라인, 및 상기 적어도 하나의 기준 가상 접지 라인사이에 데이터 "0"으로 프로그램된 적어도 하나의 제2기준 메모리 셀을 구비한 기준 메모리 셀 어레이, 및 복수개의 더미 메모리 워드 라인들, 적어도 하나의 더미 비트 라인, 및 적어도 하나의 더미 가상 접지 라인사이에 프로그램된 제1복수개의 더미 메모리 셀들과, 상기 기준 워드 라인, 상기 적어도 하나의 더미 비트 라인, 및 상기 적어도 하나의 더미 가상 접지 라인사이에 데이터 "0"으로 프로그램된 적어도 하나의 제2더미 메모리 셀을 구비한 더미 메모리 셀 어레이를 구비하는 것을 특징으로 한다.

<14> 상기 목적을 달성하기 위한 본 발명의 리드 전용 메모리 장치의 실시예는 복수개의 워드 라인들, 제1복수개의 비트 라인들, 및 제1복수개의 가상 접지 라인들 사이에 프로그램된 제1복수개의 리드 전용 메모리 셀들과, 기준 워드 라인, 제2복수개의 비트 라인들, 및 제2복수개의 가상 접지 라인들 사이에 프로그램된 제2복수개의 리드 전용 메모리 셀들을 구비한 리드 전용 메모리 셀 어레이, 복수개의 기준 메모리 워드 라인들, 적어도 하나의 기준 비트 라인, 및 적어도 하나의 기준 가상 접지 라인사이에 프로그램된 제1복수개의 기준 메모리 셀들과, 상기 기준 워드 라인, 상기 적어도 하나의 기준 비트

라인, 및 상기 적어도 하나의 기준 가상 접지 라인 사이에 데이터 "0"으로 프로그램된 적어도 하나의 제2기준 메모리 셀을 구비한 기준 메모리 셀 어레이, 복수개의 더미 메모리 워드 라인들, 적어도 하나의 더미 비트 라인, 및 적어도 하나의 더미 가상 접지 라인 사이에 프로그램된 제1복수개의 더미 메모리 셀들과, 상기 기준 워드 라인, 상기 적어도 하나의 더미 비트 라인, 및 상기 적어도 하나의 더미 가상 접지 라인 사이에 데이터 "0"으로 프로그램된 적어도 하나의 제2더미 메모리 셀을 구비한 더미 메모리 셀 어레이, 로우 어드레스를 디코딩하여 상기 복수개의 워드 라인들을 선택하는 로우 디코더, 상기 로우 어드레스가 입력되는 것을 검출하여 상기 기준 워드 라인을 선택하는 기준 워드 라인 선택회로, 컬럼 어드레스를 디코딩하여 상기 제1복수개의 비트 라인들과 상기 제1복수개의 가상 접지 라인들을 선택하는 제1컬럼 디코더 및 가상 접지 라인 선택회로, 및 상기 컬럼 어드레스가 입력되는 것을 검출하여 상기 적어도 하나의 기준 비트 라인과 적어도 하나의 더미 비트 라인, 및 상기 적어도 하나의 기준 가상 접지 라인과 적어도 하나의 더미 가상 접지 라인을 선택하는 제2컬럼 디코더 및 가상 접지 라인 선택회로를 구비하는 것을 특징으로 한다.

<15> 상기 기준 메모리 셀 어레이는 상기 제1복수개의 기준 메모리 셀들은 데이터 "1"로 프로그램되고, 상기 복수개의 기준 메모리 워드 라인들이 상기 복수개의 워드 라인들 각각에 연결되거나, 전원전압에 연결된 것을 특징으로 하거나, 상기 복수개의 기준 메모리 워드 라인들이 접지전압에 연결된 것을 특징으로 한다.

<16> 그리고, 상기 더미 메모리 셀 어레이는 상기 제1복수개의 더미 메모리 셀들

은 데이터 "1"로 프로그램되고, 상기 복수개의 더미 메모리 워드 라인들이 상기 복수개의 워드 라인들 각각에 연결되거나, 전원 전압에 연결된 것을 특징으로 하거나, 상기 복수개의 더미 메모리 워드 라인들이 접지전압에 연결된 것을 특징으로 한다.

<17> 또한, 상기 제2복수개의 리드 전용 메모리 셀들은 데이터 "1"로 프로그램되고, 상기 제2복수개의 비트 라인들은 상기 제1복수개의 비트 라인들 각각에 연결되고, 상기 제2복수개의 가상 접지 라인들은 상기 제1복수개의 가상 접지 라인들 각각에 연결된 것을 특징으로 하거나, 상기 제2복수개의 리드 전용 메모리 셀들은 데이터 "1"로 프로그램되고, 상기 기준 워드 라인에 연결된 게이트를 가진 NMOS트랜지스터로 구성되고, 상기 제2복수개의 비트 라인들과 상기 제2복수개의 가상 접지 라인들에 접지전압(또는, 전원 전압)을 인가한 것을 특징으로 하거나, 상기 제2복수개의 리드 전용 메모리 셀들은 상기 기준 워드 라인에 연결된 게이트를 가진 NMOS트랜지스터로 구성되고 상기 제2 복수개의 비트 라인들과 상기 제2복수개의 가상 접지 라인들에 전압을 인가하지 않는 것을 특징으로 한다.

【발명의 구성 및 작용】

<18> 이하, 첨부한 도면을 참고로 하여 본 발명의 리드 전용 메모리 장치를 설명하기 전에 종래의 리드 전용 메모리 장치에 대하여 설명하면 다음과 같다.

<19> 도1은 종래의 리드 전용 메모리 장치의 구성을 나타내는 블록도로서, 리드 전용 메모리 셀 어레이(10-1), 기준 메모리 셀 어레이(10-2), 및 더미 메모리 셀 어레이(10-3)로 구성된 메모리 셀 어레이, 로우 디코더(12), 프리차지 회로(14), 데이터 전송 회로 및 멀티플렉서(16), 제1 및 제2컬럼 디코더들(18-1, 18-2), 제1 및 제2가상 접지 라인

선택회로들(20-1, 20-2), 센스 증폭기 인에이블 회로(22), 센스 증폭기(24), 및 출력 드라이버(24)로 구성되어 있다.

<20> 도1에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.

<21> 리드 전용 메모리 셀 어레이(10-1)는 프로그램을 위한 메모리 셀 어레이로서, 가상 접지 라인들(VGL1 ~ VGL(n+1)) 각각과 비트 라인들(BL1 ~ BLn) 각각이 세로 방향으로 교대로 배치되고, 가상 접지 라인들(VGL1 ~ VGL(n+1))과 직교하는 방향으로 워드 라인들(WL1 ~ WLm) 각각이 배치되고, 워드 라인들(WL1 ~ WLm) 각각에 연결된 게이트와 비트 라인들(BL1 ~ BLn) 각각에 연결된 드레인을 가지고, 가상 접지 라인들(VGL1 ~ VGL(n+1))에 연결되거나 연결되지 않은 소스를 가진 NMOS트랜지스터들로 구성되어 있다. 즉, 이웃하는 두 개의 NMOS트랜지스터들의 드레인이 하나의 비트 라인에 공통 연결되어 있다. 그리고, NMOS트랜지스터가 가상 접지 라인에 연결되면 데이터 "0"으로 프로그램된 상태이고, 연결되지 않으면 데이터 "1"로 프로그램된 상태이다. 기준 메모리 셀 어레이(10-2)는 워드 라인들(WL1 ~ WLm) 각각에 연결된 게이트와 기준 비트 라인들(RBL1, RBL2) 각각에 연결된 드레인을 가지고, 기준 가상 접지 라인들(RVGL1, RVGL2)에 연결된 소스를 가진 NMOS트랜지스터들로 구성되어 있다. 즉, 기준 메모리 셀 어레이(10-2)의 NMOS트랜지스터들은 모두 데이터 "0"으로 프로그램되어 있다. 더미 메모리 셀 어레이(10-3)는 워드 라인들(WL1 ~ WLm) 각각에 연결된 게이트와 더미 비트 라인(DBL)에 연결된 드레인과 더미 가상 접지 라인(DVGL)에 연결된 소스를 가진 NMOS트랜지스터들로 구성되어

있다. 즉, 더미 메모리 셀 어레이(10-3)의 NMOS트랜지스터들은 기준 메모리 셀 어레이(10-2)의 NMOS트랜지스터들과 마찬가지로 모두 데이터 "0"으로 프로그램되어 있다. 로우 디코더(12)는 로우 어드레스(XA1 ~ k)를 디코딩하여 워드 라인들(WL1 ~ WLm)을 선택하기 위한 선택신호들을 발생한다. 프리차지 회로(14)는 리드 동작이 수행되기 전에 비트 라인들(BL1 ~ BLn, RBL1, RBL2, DBL)과 가상 접지 라인들(VGL1 ~ VGLn+1, RVGL1, RVGL2, DVGL)을 프리차지한다. 데이터 전송 회로 및 멀티플렉서(16)는 컬럼 선택신호들(Y1 ~ Yn) 및 멀티플렉싱 제어신호에 응답하여 비트 라인들(BL1 ~ BLn)로부터 리드되는 데이터를 전송하고, 가상 접지 라인 선택신호들(VY1 ~ VY(n+1)) 및 멀티플렉싱 제어신호에 응답하여 가상 비트 라인들(VGL1 ~ VGL(n+1))로 소정 전압(Vr)을 인가한다. 그리고, 기준 컬럼 선택신호(RY1)에 응답하여 기준 가상 접지 라인(RVGL2)으로 소정 전압(Vr)을 인가하고, 기준 비트 라인(RBL1)을 통하여 기준 전압(Vref)을 출력한다. 또한, 더미 컬럼 선택신호(DY)에 응답하여 더미 가상 접지 라인(DVGL)으로 소정 전압(Vr)을 인가하고, 더미 비트 라인(DBL)을 통하여 출력되는 데이터를 출력한다. 제1컬럼 디코더(18-1)는 컬럼 어드레스(YA1 ~ j)를 디코딩하여 컬럼 선택신호들(Y1 ~ Yn)을 발생한다. 제2컬럼 디코더(18-2)는 컬럼 어드레스(YA1 ~ j)가 입력되는 것을 검출하면 기준 컬럼 선택신호(RY1) 및 더미 컬럼 선택신호(DY)를 발생하고, 기준 컬럼 선택신호(RY2)는 발생하지 않는다. 제1가상 접지 라인 선택회로(20-1)는 컬럼 어드레스(YA1 ~ j)중 최하위 비트 어드레스를 디코딩하여 홀수 또는 짝수번째의 가상 접지 라인 선택신호들(VY1 ~ VY(n+1))을 발생한다. 제2가상 접지 라인 선택회로(20-2)는 컬럼 어드

레스(YA1 ~ j)가 입력되는 것을 검출하면 기준 가상 접지 라인 선택신호(RVY2) 및 더미 가상 접지 라인 선택신호(DVY)를 발생한다. 센스 증폭기 인에이블 회로(22)는 더미 비트 라인(DBL)을 통하여 전송되는 데이터를 입력하여 센스 증폭기 인에이블 신호(SEN)를 발생한다. 센스 증폭기(24)는 센스 증폭기 인에이블 신호(SEN)에 응답하여 인에이블되고 데이터 전송 회로 및 멀티플렉서(16)를 통하여 전송되는 데이터와 기준 전압(Vref)의 차를 증폭하여 증폭된 신호를 발생한다. 출력 드라이버(26)는 센스 증폭기(24)로부터 출력되는 증폭된 신호를 구동하여 데이터 출력신호(Dout)를 발생한다.

<22> 상술한 바와 같이 구성된 리드 전용 메모리 장치의 리드 동작을 워드 라인(WL1), 비트 라인(BL1), 및 가상 접지 라인(VGL1)이 선택되는 경우를 가정하여 설명하면 다음과 같다.

<23> 먼저, 리드 동작이 수행되기 전에 프리차지 회로(14)에 의해서 비트 라인들(BL1 ~ BLn), 가상 접지 라인들(VGL1 ~ VGL(n+1)), 기준 비트 라인들(RBL1, RBL2), 기준 가상 접지 라인들(RVGL1, RVGL2), 더미 비트 라인(DBL), 및 더미 가상 접지 라인(DVGL)이 프리차지 전압 레벨로 프리차지된다.

<24> 다음, "00...0"의 로우 및 컬럼 어드레스(XA1 ~ k, YA1 ~ j)가 입력되면, 로우 디코더(12)가 로우 어드레스(XA1 ~ k)를 디코딩하여 워드 라인(WL1)을 선택하고, 제1컬럼 디코더(18-1)가 컬럼 어드레스(YA1 ~ j)를 디코딩하여 컬럼 선택신호(Y1)를 발생한다. 그리고, 제1가상 접지 라인 선택회로(20-1)가 컬럼 어드레스(YA1 ~ j)중 최하위 비트 어드레스를 디코딩하여 홀수번째 가상 그라운드 라인

선택신호들(VY1, VY3, ..., VY(n+1))을 발생한다. 제2컬럼 디코더(18-2)는 컬럼 어드레스(YA1 ~ j)를 디코딩하여 기준 컬럼 선택신호(RY1) 및 더미 컬럼 선택신호(DY)를 발생한다. 즉, 제2컬럼 디코더(18-2)는 컬럼 어드레스(YA1 ~ j)가 입력되는 것을 검출하면 기준 컬럼 선택신호(RY1) 및 더미 컬럼 선택신호(DY)를 발생한다. 제2가상 접지 라인 선택회로(20-2)는 컬럼 어드레스(YA1 ~ j)중 최하위 비트를 디코딩한 신호에 응답하여 기준 가상 접지 라인 선택신호(RVY2) 및 더미 가상 접지 라인 선택신호(DVY)를 발생한다. 즉, 제2가상 접지 라인 선택회로(20-2)는 컬럼 어드레스(YA1 ~ j)가 입력되는 것을 검출하면 기준 가상 접지 라인 선택신호(RVY2) 및 더미 가상 접지 라인 선택신호(DVY)를 선택한다.

<25> 컬럼 선택신호(Y1) 및 가상 접지 라인 선택신호(VY1)이 선택되면, 워드 라인(WL1)과 비트 라인(BL1)에 연결된 NMOS트랜지스터를 통한 방전 경로가 형성되지 않아 비트 라인(BL1)의 전압, 즉, 프리차지 전압 레벨인 "하이"레벨의 신호가 데이터 전송 회로 및 멀티플렉서(16)를 통하여 출력된다. 기준 컬럼 선택신호(RY1) 및 기준 가상 접지 라인 선택신호(RVY2)이 선택되면, 워드 라인(WL1)과 기준 비트 라인(RBL1)에 연결된 NMOS트랜지스터를 통한 방전 경로가 형성되어 기준 비트 라인(RBL1)의 전하가 기준 가상 접지 라인(RVGL2)으로 방전된다. 데이터 전송 회로 및 멀티플렉서(16)는 기준 비트 라인(RBL1)의 "로우"레벨의 신호를 전송한다. 이때, 데이터 전송 회로 및 멀티플렉서(16)는 기준 컬럼 선택신호(RY1)에 응답하여 기준 가상 접지 라인(RVGL2)의 전압이 비트 라인(BL1)의 방전 속도와 동일하게 방전되고, 비트 라인(BL1)의 전압이 기준 전압(Vref) 레벨까지 떨어지게 되면 방전을

멈춘다. 더미 컬럼 선택신호(DY) 및 더미 가상 접지 라인 선택신호(DVY)이 선택되면, 워드 라인(WL1)과 더미 비트 라인(DBL)에 연결된 NMOS트랜지스터를 통하여 방전 경로가 형성되어 더미 비트 라인(DBL)의 전하가 더미 가상 접지 라인(DVGL)으로 방전된다. 데이터 전송 회로 및 멀티플렉서(16)는 더미 비트 라인(DBL)의 "로우"레벨의 신호를 전송한다. 센스 증폭기 인에이블 회로(22)는 데이터 전송 회로 및 멀티플렉서(16)를 통하여 전송되는 "로우"레벨의 신호에 응답하여 센스 증폭기 인에이블 신호(SEN)를 발생한다. 센스 증폭기(24)는 센스 증폭기 인에이블 신호(SEN)에 응답하여 데이터 전송 회로 및 멀티플렉서(16)를 통하여 출력되는 "하이"레벨의 신호와 기준 전압(V_{ref})의 차를 증폭하여 증폭된 "하이"레벨의 신호를 발생한다. 출력 드라이버(26)는 센스 증폭기(24)로부터 출력되는 증폭된 "하이"레벨의 신호를 구동하여 데이터 출력신호(Dout)를 발생한다.

<26> 종래의 리드 전용 메모리 장치는 기준 메모리 셀 어레이의 선택된 워드 라인에 연결된 NMOS트랜지스터에 의해서 변화된 기준 비트 라인의 전압이 기준 전압으로 발생되고, 더미 메모리 셀 어레이의 선택된 워드 라인에 연결된 NMOS트랜지스터에 의해서 변화된 더미 비트 라인의 전압이 센스 증폭기 인에이블 회로로 인가된다.

<27> 그런데, 워드 라인들(WL1 ~ WLm) 각각에 연결된 기준 메모리 셀 어레이 및 더미 메모리 셀 어레이의 NMOS트랜지스터들이 공정 산포에 따라 다른 특성을 가질 수 있기 때문에 기준 전압(V_{ref})의 레벨 및 센스 증폭기 인에이블 신호 발생회로로 인가되는 신호의 발생 시점이 달라질 수 있다.

<28> 따라서, 기준 전압(V_{ref})의 레벨 및 센스 증폭기 인에이블 신호(SEN)의 발생 시점이 달라짐에 따라 센스 증폭기(24)로부터 출력되는 데이터에 오류가 발생하게 된다는 문제점이 있었다.

- <29> 도2는 종래의 리드 전용 메모리 장치의 이상적인 기준 전압의 레벨 및 센스 증폭기 인에이블 신호의 발생시점을 나타내는 것으로, 도2를 이용하여 기준 전압의 레벨 및 센스 증폭기 인에이블 신호의 발생시점의 변화에 따른 종래의 리드 전용 메모리 장치의 문제점을 설명하면 다음과 같다.
- <30> 도2에서, ③은 기준 메모리 셀 어레이로부터 발생하는 기준 전압(V_{ref})의 변화를, ①은 리드 전용 메모리 셀 어레이의 비트 라인으로 "로우"레벨의 신호가 전송되는 경우의 전압 변화를, ②는 리드 전용 메모리 셀 어레이의 비트 라인으로 "하이"레벨의 신호가 전송되는 경우의 전압 변화를 나타낸다. 기준 전압(V_{ref})은 리드 전용 메모리 셀 어레이의 비트 라인으로 전송되는 "로우"레벨의 신호와 "하이"레벨의 신호의 중간 레벨을 가지도록 설계된다. 그리고, ④는 센스 증폭기 인에이블 신호의 발생 시점을 나타내는 것이다.
- <31> 센스 증폭기는 센스 증폭기 인에이블 신호(SEN)가 센스 증폭기를 구성하는 인에이블 트랜지스터(미도시)의 문턱전압(V_{tn})에 도달한 시점, 즉, 인에이블 시점에서 기준 전압(V_{ref})과 "로우"레벨의 신호의 전압 차(⑤)를 감지하여 증폭된 "로우"레벨의 신호를 발생하고, 기준 전압(V_{ref})과 "하이"레벨의 신호의 전압 차(⑥)를 감지하여 증폭된 "하이"레벨의 신호를 발생한다.
- <32> 즉, 센스 증폭기는 인에이블 시점에서 전압 차(⑤, ⑥)를 감지하여 증폭된 신호를 발생하게 되는데, 인에이블 시점이 늦어지게 되면 데이터 리드 타임이 늦어지게 되고, 또한, 인에이블 시점에서 기준 전압(V_{ref})의 레벨이 변화하여 전압 차(⑤, ⑥)가 확보되지 못하면 데이터 리드 오류를 발생하게 된다.

- <33> 그런데, 종래의 리드 전용 메모리 장치는 도1에 나타낸 바와 같이 선택되는 워드 라인에 연결된 NMOS트랜지스터에 따라 기준 전압 및 센스 증폭기 인에이블 회로로 인가되는 신호가 달라지게 된다. 이는 선택되는 NMOS트랜지스터들이 공정 산포에 따라 다른 특성을 가지기 때문이다.
- <34> 도3은 본 발명의 리드 전용 메모리 장치의 제1실시예의 구성을 나타내는 블록도로써, 도1에 나타낸 종래의 리드 전용 메모리 장치에 제2리드 전용 메모리 셀들(30-1), 제2기준 메모리 셀들(30-2), 제2 더미 메모리 셀(30-3), 및 기준 워드 라인 선택회로(32)를 추가하여 구성되어 있다.
- <35> 도3에서, 제2리드 전용 메모리 셀들(30-1)은 기준 워드 라인(RWL), 비트 라인들(BL1 ~ BLn), 및 가상 접지 라인들(VGL1 ~ VGL(n+1)) 사이에 데이터 "1"로 프로그램되어 있다. 그리고, 제2기준 메모리 셀들(30-2)은 기준 워드 라인(RWL), 기준 비트 라인들(RBL1, RBL2), 및 기준 가상 접지 라인들(RVGL1, RVGL2) 사이에 데이터 "0"으로 프로그램되어 있다. 또한, 제2더미 메모리 셀 어레이(30-3)은 기준 워드 라인(RWL), 더미 비트 라인(DBL), 및 더미 가상 접지 라인(DVGL) 사이에 데이터 "0"으로 프로그램되어 있다.
- <36> 즉, 도1의 리드 전용 메모리 장치의 기준 메모리 셀 어레이(10-2) 및 더미 메모리 셀 어레이(10-3)의 NMOS트랜지스터들은 데이터 "0"으로 프로그램하여 구성하였으나, 도3의 기준 메모리 셀 어레이(10-2') 및 더미 메모리 셀 어레이(10-3')의 NMOS트랜지스터들은 데이터 "1"로 프로그램하여 구성하였다.
- <37> 도3에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.

- <38> 도3에 나타난 블록들 각각의 기능은 도1에 나타난 블록들 각각의 기능과 동일하며, 추가되는 블록들 및 변경되는 블록들의 기능을 설명하면 다음과 같다.
- <39> 제2리드 전용 메모리 셀들(30-1)은 기준 워드 라인(RWL)이 선택되더라도 제1리드 전용 메모리 셀들(10-1')의 NMOS트랜지스터들의 리드 동작에 영향을 주지 않기 위하여 데이터 "1"로 프로그램되어 있다. 제1기준 메모리 셀들(10-2') 및 제1더미 메모리 셀들(10-3')은 워드 라인들(WL1 ~ WLm)이 선택되더라도 제2기준 메모리 셀들(30-2) 및 제2더미 메모리 셀(30-3)의 NMOS트랜지스터들의 동작에 영향을 주지 않기 위하여 데이터 "1"로 프로그램되어 있다. 제2기준 메모리 셀들(30-2)은 기준 워드 라인(RWL), 기준 비트 라인(RBL1), 및 기준 가상 접지 라인(RVGL2)이 선택되면 NMOS트랜지스터가 선택되어 기준 비트 라인(RBL1)의 전하를 NMOS트랜지스터를 통하여 방전한다. 제2더미 메모리 셀(30-3)은 기준 워드 라인(RWL), 더미 비트 라인(DBL), 및 더미 가상 접지 라인(DVGL)이 선택되면 NMOS트랜지스터가 선택되어 더미 비트 라인(DBL)의 전하를 NMOS트랜지스터를 통하여 방전한다. 기준 워드 라인 선택회로(32)는 로우 어드레스(XA1 ~ k)가 입력되는 것을 검출하면 기준 워드 라인(RWL)을 선택한다.
- <40> 본 발명의 리드 전용 메모리 장치는 제2기준 메모리 셀들(30-2)의 기준 비트 라인(RBL1)과 기준 가상 접지 라인(RVGL2)사이에 연결된 NMOS트랜지스터를 통하여만 기준 비트 라인(RBL1)의 전압을 변화하고, 제2더미 메모리 셀(30-3)의 NMOS트랜지스터를 통하여만 더미 비트 라인(DBL)의 전압을 변화한다.
- <41> 따라서, 기준 전압(Vref)의 레벨 및 센스 증폭기 인에이블 신호(SEN)의 발생 시점이 공정 산포에 무관하게 일정하게 된다.

- <42> 도3에 나타낸 리드 전용 메모리 장치의 리드 동작을 워드 라인(WL1), 비트 라인(BL1), 및 가상 접지 라인(VGL1)이 선택되는 경우를 가정하여 설명하면 다음과 같다.
- <43> 먼저, 리드 동작이 수행되기 전에 프리차지 회로(14)에 의한 프리차지 동작은 도1의 프리차지 동작과 동일하다.
- <44> 그리고, "00...0"의 로우 및 컬럼 어드레스(XA1 ~ k, YA1 ~ j)가 입력되면, 도1의 장치와 동일한 동작을 수행하여 워드 라인(WL1), 기준 워드 라인(RWL), 비트 라인(BL1), 가상 접지 라인(VGL1), 기준 비트 라인(RBL1), 기준 가상 접지 라인(RVGL2), 더미 비트 라인(DBL), 및 더미 가상 접지 라인(DVGL)이 선택된다.
- <45> 그러면, 워드 라인(WL1)과 비트 라인(BL1)에 연결된 NMOS트랜지스터를 통한 방전 경로가 형성되지 않아 비트 라인(BL1)의 전압, 즉, 프리차지 전압 레벨인 "하이"레벨의 신호가 데이터 전송 회로 및 멀티플렉서(16)를 통하여 출력된다. 그리고, 기준 워드 라인(RWL)과 기준 비트 라인(RBL1)에 연결된 NMOS트랜지스터를 통한 방전 경로가 형성되어 기준 비트 라인(RBL1)의 전하가 기준 가상 접지 라인(RVGL2)으로 방전된다. 데이터 전송 회로 및 멀티플렉서(16)는 기준 비트 라인(RBL1)의 신호를 기준 전압(Vref)으로 출력한다. 또한, 기준 워드 라인(RWL)과 더미 비트 라인(DBL)에 연결된 NMOS트랜지스터를 통하여 방전 경로가 형성되어 더미 비트 라인(DBL)의 전하가 더미 가상 접지 라인(DVGL)으로 방전된다. 데이터 전송 회로 및 멀티플렉서(16)는 더미 비트 라인(DBL)의 "로우"레벨의 신호를 전송한다.
- <46> 센스 증폭기 인에이블 회로(22), 센스 증폭기(24), 및 출력 드라이버(26)의 동작은 도1의 동작과 동일하다.

- <47> 본 발명의 리드 전용 메모리 장치는 워드 라인들(WL1 ~ WL_m)이 선택되는 경우에 기준 워드 라인(RWL)이 선택되어 제2기준 메모리 셀들(30-2)의 기준 비트 라인(RBL1)과 기준 가상 접지 라인(RVGL2)사이에 연결된 NMOS트랜지스터를 통하여 기준 비트 라인(RBL1)의 전압을 방전함에 의해서 기준 전압을 발생하고, 제2더미 메모리 셀(30-3)의 NMOS트랜지스터를 통하여 더미 비트 라인(DBL)의 전압을 방전함에 의해서 발생하는 "로우"레벨의 신호를 센스 증폭기 인에이블 회로로 출력한다. 따라서, 공정 산포에 무관하게 기준 전압(Vref) 레벨 및 센스 증폭기 인에이블 신호(SEN)의 발생시점이 일정하게 된다.
- <48> 도4는 본 발명의 리드 전용 메모리 장치의 제2실시예의 구성을 나타내는 블록도로써, 도3에 나타낸 리드 전용 메모리 장치의 구성과 동일하고, 단지 제1기준 메모리 셀들(10-2') 및 제1더미 메모리 셀들(10-3')의 워드 라인들에 접지전압 레벨이 인가되도록 구성되어 있다.
- <49> 즉, 기준 메모리 워드 라인들 및 더미 메모리 워드 라인들을 제1리드 전용 메모리 셀들(10-1')의 워드 라인들(WL1 ~ WL_m)과 연결을 끊고 접지전압 레벨이 인가되도록 구성한 것이다.
- <50> 도4에 나타낸 장치의 동작은 도3에 나타낸 장치의 동작과 동일하다.
- <51> 도5는 본 발명의 리드 전용 메모리 장치의 제3실시예의 구성을 나타내는 블록도로써, 도3에 나타낸 리드 전용 메모리 장치의 구성과 동일하고, 단지 제2리드 전용 메모리 셀들(30-1)의 비트 라인들(즉, 제2비트 라인들) 및 가상 접지 라인들(즉, 제2가상 접지 라인들)을 제1리드 전용 메모리 셀들(10-1')의 비트 라인들(BL1 ~ BL_n)과 가상 접지 라인들(VGL1 ~ VGL(n+1))과 연결하지 않고 접지전압 레벨이 인가되도록 구성되어 있다.

- <52> 도5에 나타낸 장치의 동작 또한 도3에 나타낸 장치의 동작과 동일하다.
- <53> 그리고, 도시하지는 않았지만, 제2비트 라인들 및 제2가상 접지 라인들로 전압을 인가하지 않고 플로팅 상태로 두어도 상관없다.
- <54> 도6은 본 발명의 리드 전용 메모리 장치의 제4실시예의 구성을 나타내는 블록도로서, 도5에 나타낸 리드 전용 메모리 장치와 동일하게 구성하고, 단지 제2비트 라인들 및 제2가상 접지 라인들에 전원전압 레벨이 인가되도록 구성되어 있다.
- <55> 도6에 나타낸 장치의 동작 또한 도3에 나타낸 장치의 동작과 동일하다.
- <56> 도7은 본 발명의 리드 전용 메모리 장치의 기준 워드 라인 선택회로의 실시예의 구성을 나타내는 블록도로서, 디코더(40), 및 논리합 회로(42)로 구성되어 있다.
- <57> 도7에 나타낸 회로의 동작을 설명하면 다음과 같다.
- <58> 디코더(40)는 로우 어드레스($XA_1 \sim k$)중 최하위 3비트($XA_{(k-2)} \sim XA_k$)를 디코딩하여 8개의 디코딩 신호들을 발생한다. 즉, 디코더(40)는 로우 어드레스가 입력되면 하나의 "하이"레벨의 디코딩 신호를 발생한다. 논리합 회로(42)는 8개의 디코딩 신호들을 논리합하여 기준 워드 라인(RWL)을 선택하기 위한 기준 워드 라인 선택신호(rw_1)를 발생한다. 논리합 회로(42)는 로우 어드레스가 입력되면 "하이"레벨의 기준 워드 라인 선택신호(rw_1)를 발생한다.
- <59> 본 발명의 리드 전용 메모리 장치를 상술한 실시예들을 이용하여 설명하였지만, 리드 전용 메모리 셀 어레이(10-1)에 추가되는 제2리드 전용 메모리 셀들(30-1)은 제1리드 전용 메모리 셀들(10-1')의 동작에 영향을 주지 않고, 제1기준 메모리 셀들(10-2')은 제2기준 메모리 셀들(30-2)의 동작에 영향을 주지 않고, 제1더미 메모리 셀들(10-3')은

제2더미 메모리 셀들(30-3)의 동작을 영향을 주지 않도록 구성되면 된다. 단지, 제2리드 전용 메모리 셀들(30-1), 제1기준 메모리 셀들 (10-2'), 및 제1더미 메모리 셀들 (10-3')은 워드 라인들(WL1 ~ WLm)과 기준 워드 라인(RWL)의 워드 라인 부하 및 비트 라인들(BL1 ~ BLn), 기준 비트 라인들(RBL1, RBL2), 및 더미 비트 라인(DBL)의 비트 라인 부하를 균일하게 맞추어 주는 역할을 수행하면 된다.

<60> 그리고, 상술한 실시예들에서 제2더미 메모리 셀(30-3)의 NMOS트랜지스터가 하나로 구성된 것을 나타내었으나, 전류 구동 능력을 크게하기 위하여 소정 개수의 NMOS트랜지스터들로 구성하는 것이 바람직하다. 즉, 제2더미 메모리 셀(30-3)은 더미 가상 접지 라인(DVGL)에 연결된 소스, 더미 비트 라인(DBL)에 연결된 드레인, 및 기준 워드 라인(RWL)에 연결된 게이트를 가진 소정 개수의 NMOS트랜지스터들로 구성하는 것이 바람직하다.

<61> 또한, 상술한 실시예에서는 리드 전용 메모리 장치의 메모리 셀들은 소스를 연결하고 연결하지 않음에 의해서 프로그램하는 것이지만, 불순물 주입 농도를 달리함에 의해서 프로그램하는 것이어도 상관없다.

<62> 그리고, 상술한 실시예에서는 본 발명의 리드 전용 메모리 장치의 메모리 셀들이 가상 접지 라인에 연결되어 있는 경우를 예로 들어 나타내었지만, 가상 접지 라인이 아닌 접지 라인에 연결되어 있는 경우에도 적용 가능하다.

<63> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<64> 본 발명의 리드 전용 메모리 장치는 공정 산포에 무관하게 일정한 기준 전압을 발생할 수 있고, 센스 증폭기 인에이블 신호의 발생 시점을 일정하게 할 수 있다. 따라서, 데이터 리드 오류를 방지할 수 있다.

【특허청구범위】**【청구항 1】**

복수개의 워드 라인들, 제1복수개의 비트 라인들, 및 제1복수개의 가상 접지 라인들 사이에 프로그램된 제1복수개의 리드 전용 메모리 셀들과, 기준 워드 라인, 제2복수개의 비트 라인들, 및 제2복수개의 가상 접지 라인들 사이에 프로그램된 제2복수개의 리드 전용 메모리 셀들을 구비한 리드 전용 메모리 셀 어레이;

복수개의 기준 메모리 워드 라인들, 적어도 하나의 기준 비트 라인, 및 적어도 하나의 기준 가상 접지 라인사이에 프로그램된 제1복수개의 기준 메모리 셀들과, 상기 기준 워드 라인, 상기 적어도 하나의 기준 비트 라인, 및 상기 적어도 하나의 기준 가상 접지 라인사이에 데이터 "0"으로 프로그램된 적어도 하나의 제2기준 메모리 셀을 구비한 기준 메모리 셀 어레이; 및

복수개의 더미 메모리 워드 라인들, 적어도 하나의 더미 비트 라인, 및 적어도 하나의 더미 가상 접지 라인사이에 프로그램된 제1복수개의 더미 메모리 셀들과, 상기 기준 워드 라인, 상기 적어도 하나의 더미 비트 라인, 및 상기 적어도 하나의 더미 가상 접지 라인사이에 데이터 "0"으로 프로그램된 적어도 하나의 제2더미 메모리 셀을 구비한 더미 메모리 셀 어레이를 구비하는 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 기준 워드 라인은

상기 복수개의 워드 라인들이 선택되는 경우에 선택되는 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 복수개의 기준 메모리 워드 라인들이 상기 복수개의 워드 라인들 각각에 연결되고, 상기 제1복수개의 기준 메모리 셀들은 데이터 "1"로 프로그램된 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 4】

제1항에 있어서, 상기 복수개의 기준 메모리 워드 라인들이 전원 전압에 연결되고, 상기 제1복수개의 기준 메모리 셀들은 데이터 "1"로 프로그램된 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 5】

제1항에 있어서, 상기 복수개의 기준 메모리 워드 라인들이 접지 전압에 연결된 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 6】

제1항에 있어서, 상기 복수개의 더미 메모리 워드 라인들이 상기 복수개의 워드 라인들 각각에 연결되고, 상기 제1복수개의 더미 메모리 셀들은 데이터 "1"로 프로그램된 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 7】

제1항에 있어서, 상기 복수개의 더미 메모리 워드 라인들이 전원 전압에 연결되고, 상기 제1복수개의 더미 메모리 셀들은 데이터 "1"로 프로그램된 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 8】

제1항에 있어서, 상기 복수개의 더미 메모리 워드 라인들이 접지 전압에 연결된 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 9】

제1항에 있어서, 상기 제2복수개의 비트 라인들이 상기 제1복수개의 비트 라인들 각각에 연결되고, 상기 제2복수개의 가상 접지 라인들이 상기 제1복수개의 가상 접지 라인들 각각에 연결되고, 상기 제2복수개의 리드 전용 메모리 셀들은 데이터 "1"로 프로그램된 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 10】

제1항에 있어서, 상기 제2복수개의 리드 전용 메모리 셀들은
데이터 "1"로 프로그램되고,
상기 기준 워드 라인에 연결된 게이트를 가진 NMOS트랜지스터로 구성되고,
상기 제2복수개의 비트 라인들과 상기 제2복수개의 가상 접지 라인들에 접지전압(또는, 전원전압)을 인가하는 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 11】

제1항에 있어서, 상기 제2복수개의 리드 전용 메모리 셀들은
상기 기준 워드 라인에 연결된 게이트를 가진 NMOS트랜지스터로 구성되고,
상기 제2복수개의 비트 라인들과 상기 제2복수개의 가상 접지 라인들에 전압을 인가하지 않는 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 12】

제1항에 있어서, 상기 적어도 하나의 제2기준 메모리 셀은
NMOS트랜지스터로 구성된 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 13】

제1항에 있어서, 상기 적어도 하나의 제2더미 메모리 셀은
NMOS트랜지스터로 구성된 것을 특징으로 하는 리드 전용 메모리 장치.

【청구항 14】

복수개의 워드 라인들, 제1복수개의 비트 라인들, 및 제1복수개의 가상 접지 라인들 사이에 프로그램된 제1복수개의 리드 전용 메모리 셀들과, 기준 워드 라인, 제2복수개의 비트 라인들, 및 제2복수개의 가상 접지 라인들 사이에 프로그램된 제2복수개의 리드 전용 메모리 셀들을 구비한 리드 전용 메모리 셀 어레이;

복수개의 기준 메모리 워드 라인들, 적어도 하나의 기준 비트 라인, 및 적어도 하나의 기준 가상 접지 라인 사이에 프로그램된 제1복수개의 기준 메모리 셀들과, 상기 기준 워드 라인, 상기 적어도 하나의 기준 비트 라인, 및 상기 적어도 하나의 기준 가상 접지 라인 사이에 데이터 "0"으로 프로그램된 적어도 하나의 제2기준 메모리 셀을 구비한 기준 메모리 셀 어레이;

복수개의 더미 메모리 워드 라인들, 적어도 하나의 더미 비트 라인, 및 적어도 하나의 더미 가상 접지 라인 사이에 프로그램된 제1복수개의 더미 메모리 셀들과, 상기 기준 워드 라인, 상기 적어도 하나의 더미 비트 라인, 및 상기 적어도 하나의 더미 가상

접지 라인사이에 데이터 "0"으로 프로그램된 적어도 하나의 제2더미 메모리 셀을 구비한 더미 메모리 셀 어레이;

로우 어드레스를 디코딩하여 상기 복수개의 워드 라인들을 선택하는 로우 디코더;

상기 로우 어드레스가 입력되는 것을 검출하여 상기 기준 워드 라인을 선택하는 기준 워드 라인 선택회로;

컬럼 어드레스를 디코딩하여 상기 제1복수개의 비트 라인들과 상기 제1복수개의 가상 접지 라인들을 선택하는 제1컬럼 디코더 및 가상 접지 라인 선택회로; 및

상기 컬럼 어드레스가 입력되는 것을 검출하여 상기 적어도 하나의 기준 비트 라인과 적어도 하나의 더미 비트 라인, 및 상기 적어도 하나의 기준 가상 접지 라인과 적어도 하나의 더미 가상 접지 라인을 선택하는 제2컬럼 디코더 및 가상 접지 라인 선택회로를 구비하는 것을 특징으로 하는 리드 전용 메모리 장치.

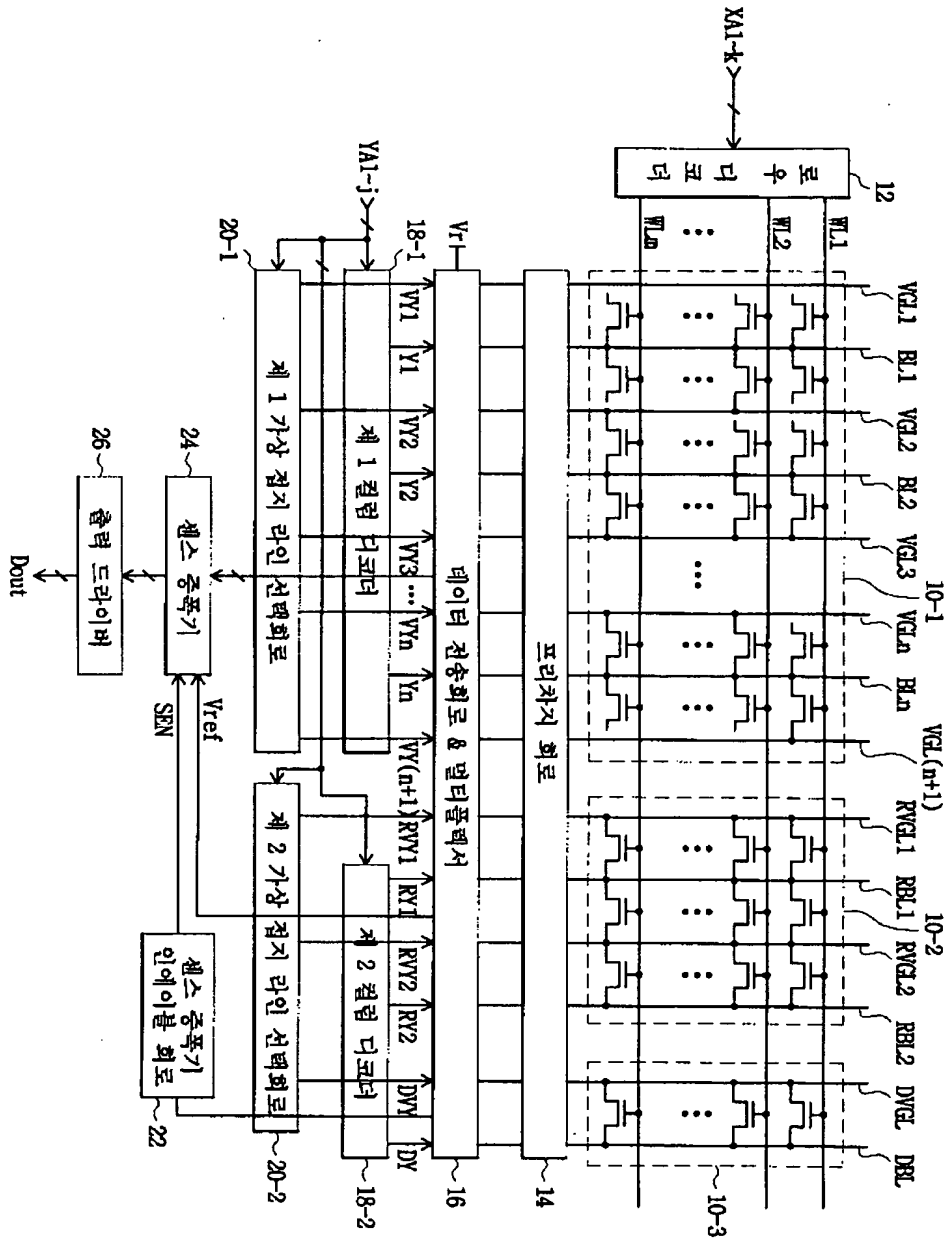
【청구항 15】

제14항에 있어서, 상기 기준 워드 라인 선택회로는

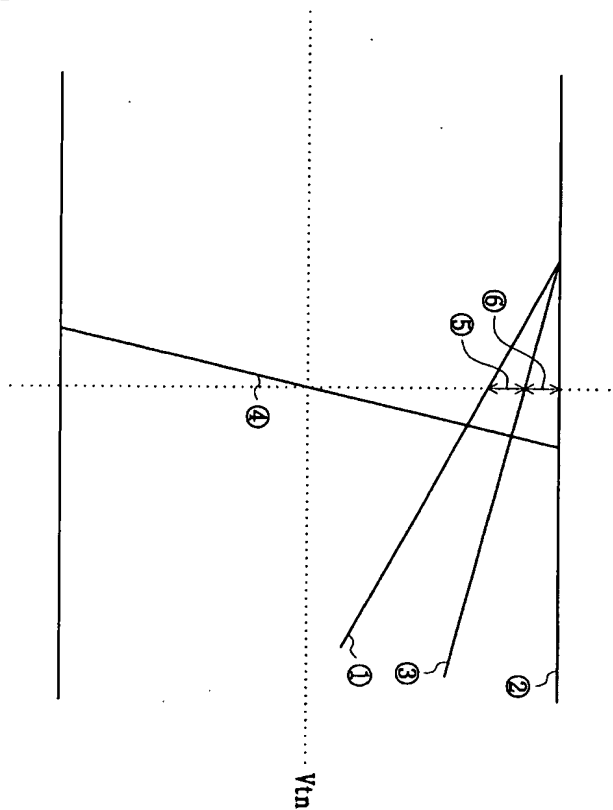
상기 로우 어드레스 중 소정 비트를 디코딩함에 의해서 발생하는 신호를 이용하여 상기 기준 워드 라인을 선택하는 것을 특징으로 하는 리드 전용 메모리 장치.

【도면】

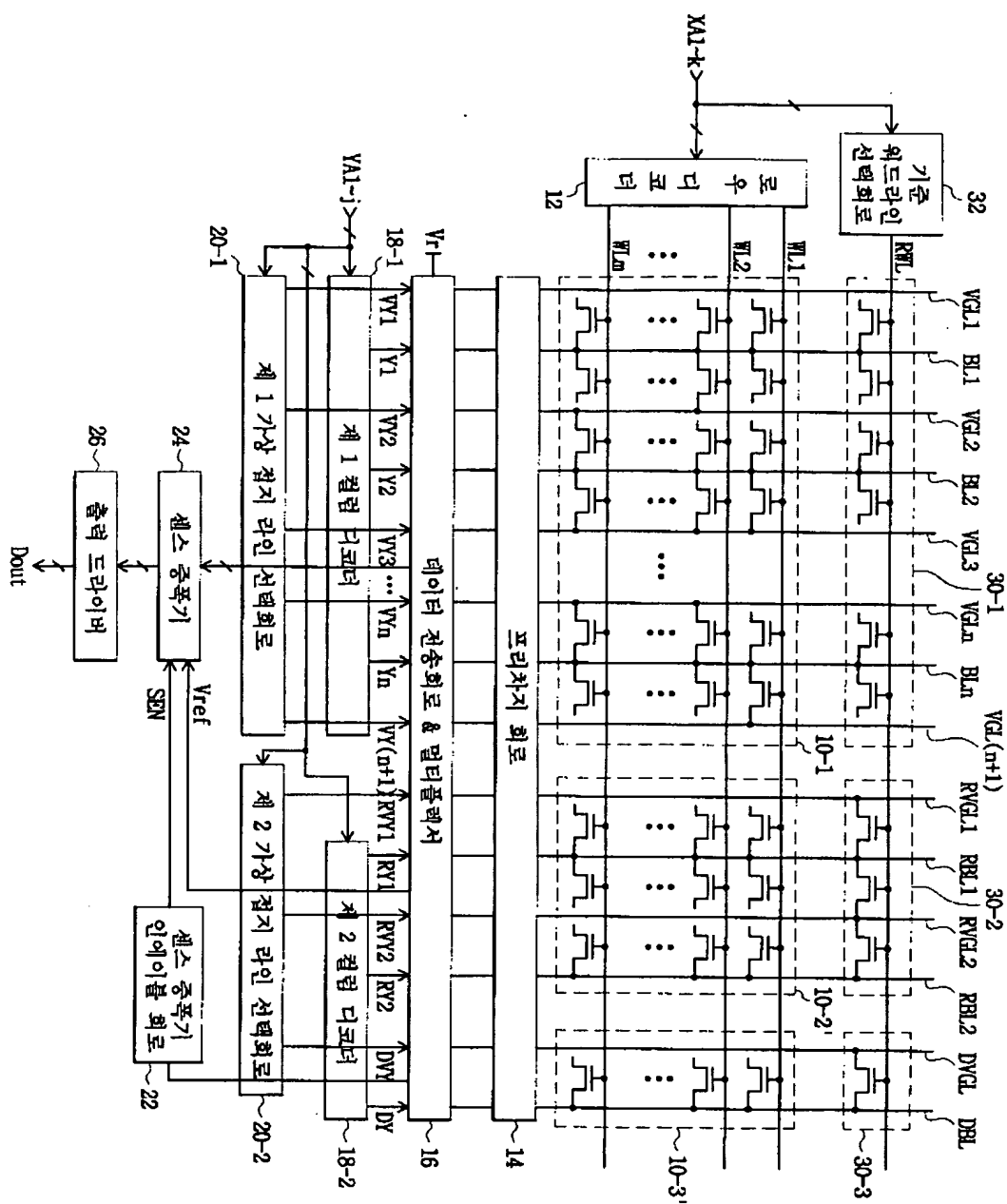
【도 1】



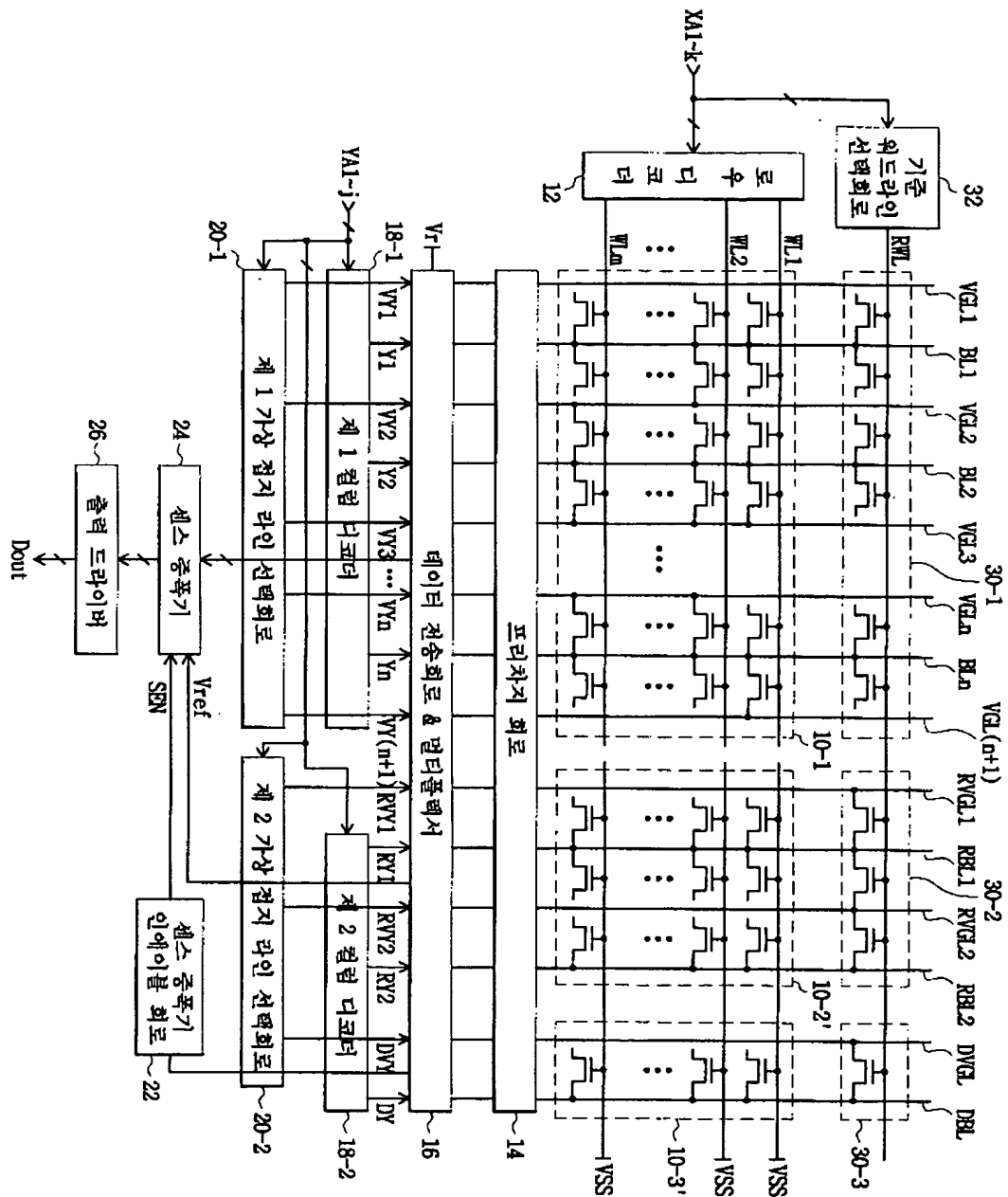
【도 2】



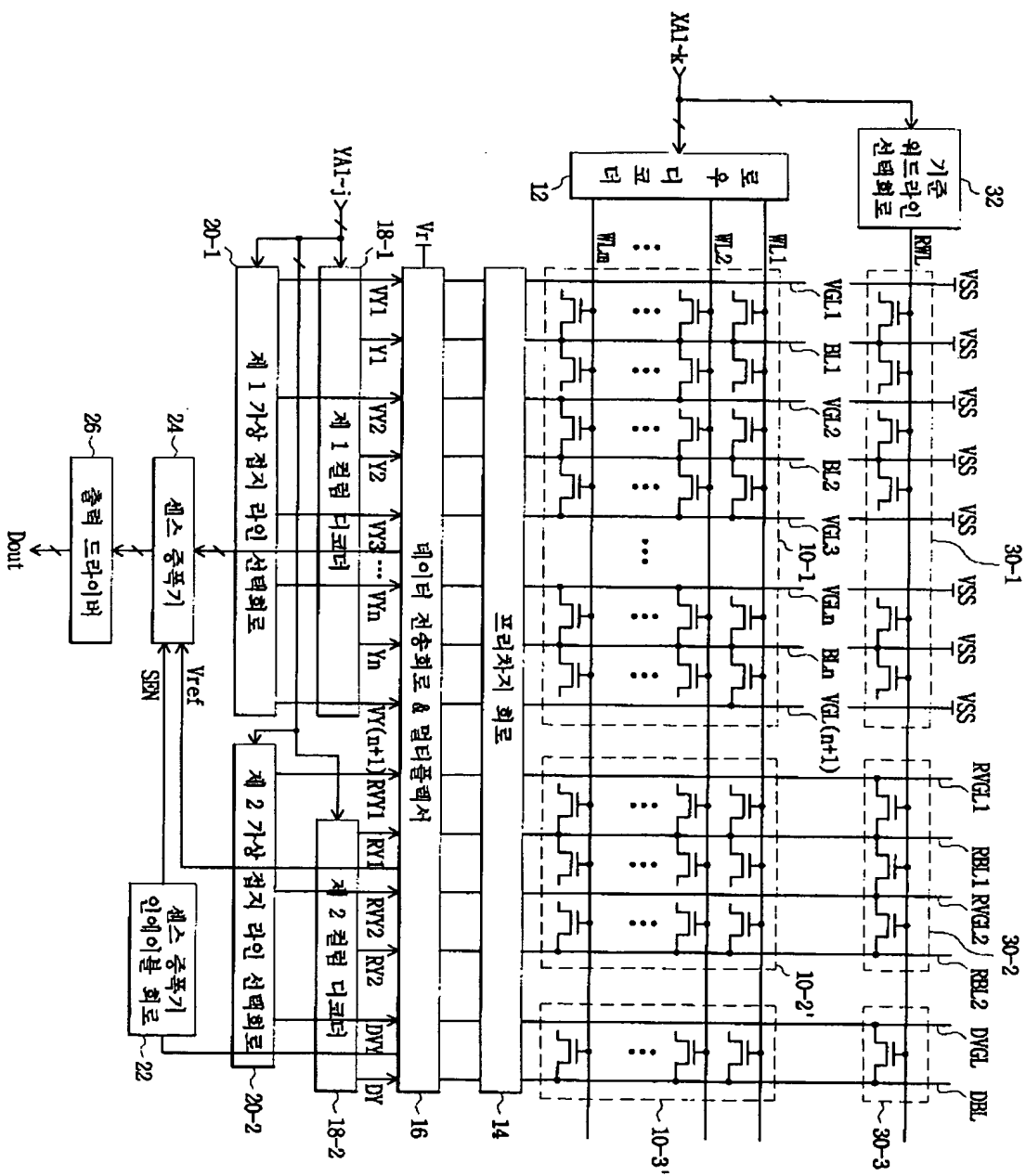
【도 3】



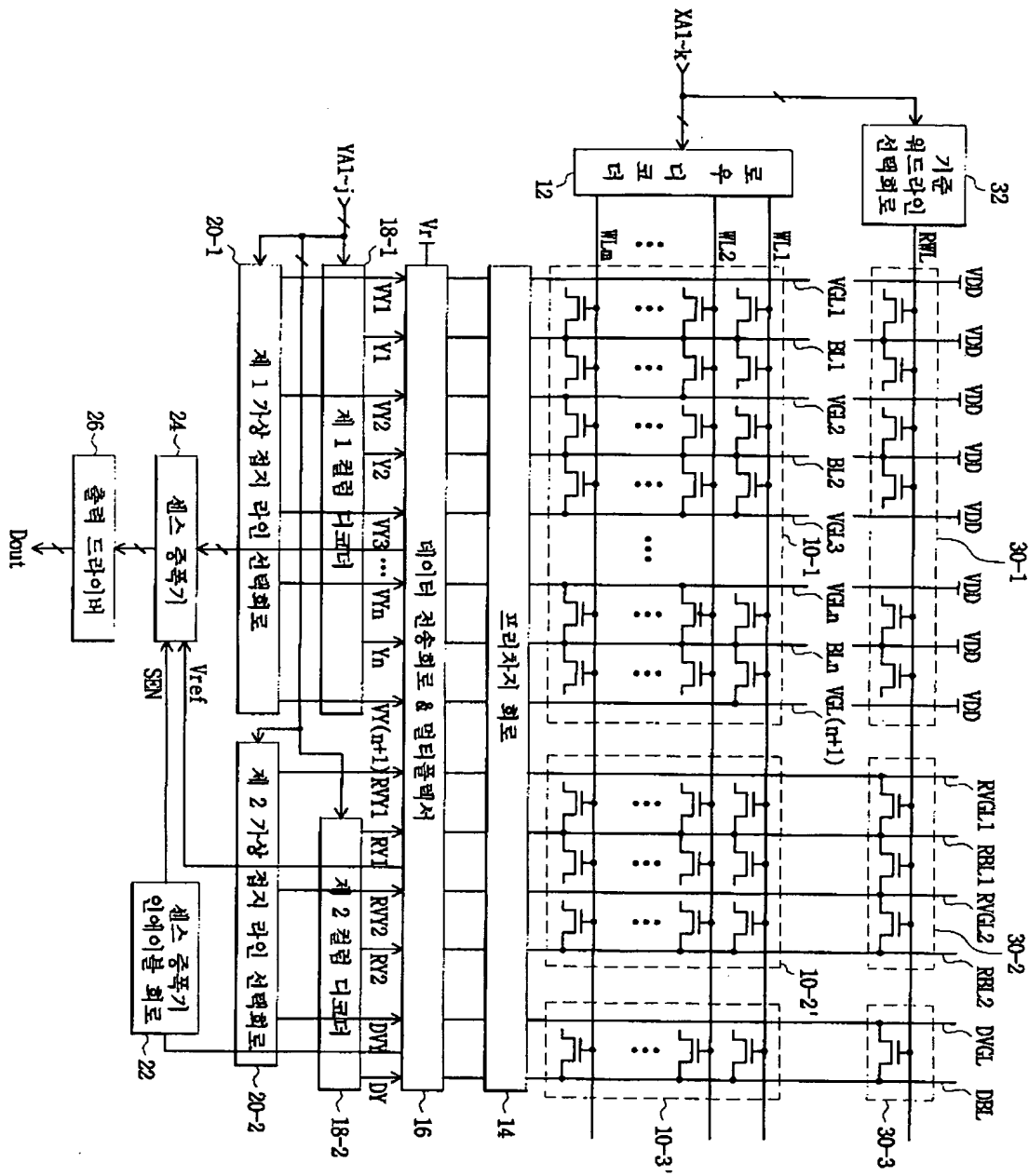
【도 4】



【도 5】



【도 6】



【도 7】

